

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑬ 公開特許公報(A) 平2-207299

⑫ Int. Cl.⁶G 09 G 5/18
5/22

識別記号

庁内整理番号

8121-5C
8320-5C

⑭ 公開 平成2年(1990)8月16日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 表示制御回路

⑯ 特 願 平1-28363

⑰ 出 願 平1(1989)2月7日

⑱ 発 明 者 天 白 順 也 神奈川県川崎市中原区上小田中1015番地 富士通マイコン
システムズ株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 出 願 人 富士通マイコンシステムズ株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

表示制御回路

2. 特許請求の範囲

文字表示のためのドットクロック信号(DOTCK)を水平同期信号(HSYNC)に同期させて出力する表示制御回路において、

水平同期信号(HSYNC)と垂直表示信号(VDISP)とが一致するタイミングで前記ドットクロック信号(DOTCK)を停止させる発振停止信号(STOP)を出力する表示停止回路(20)を備えたことを特徴とする表示制御回路。

3. 発明の詳細な説明

(概要)

表示制御回路に係り、特に画像信号を制御するディスプレイコントローラにおいてドットクロ

ック信号を制御する表示制御回路に関し、

ドットクロック信号の発振が不必要な期間、すなわち、垂直ブランキング期間においてドットクロック信号の発振を停止することにより省電力化を計った表示制御回路を提供することを目的とし、

文字表示のためのドットクロック信号を水平同期信号に同期させて出力する表示制御回路において、水平同期信号と垂直表示信号とが一致するタイミングで前記ドットクロック信号を停止させる発振停止信号を出力する表示停止回路を備えて構成する。

(産業上の利用分野)

本発明は表示制御回路に係り、特に画像信号を制御するディスプレイコントローラにおいてドットクロック信号を制御する表示制御回路に関する。

NTSCやPAL等の映像信号方式を用いたディスプレイ上の文字や西暦位置制御を行うディスプレイコントローラが知られている。

第4図に、オンスクリーンディスプレイコント

特開平 2-207299(2)

ローラ（OSDC）の概略構成を示す。ディスプレイコントロールの基幹となる内部水平同期信号NH、内部垂直同期信号NVおよび垂直表示信号VDISPを作成するためのビデオ同期信号発生器1が設けられている。このビデオ同期信号発生器1に基準信号を供給するためにクリスタル発振器2が用いられる。

また、文字等の表示に用いるドットクロック信号DOTCKを発生させるためにLC発振器3が別に設けられている。このLC発振器3はOR回路4を介し、後述する水平同期信号HSおよび垂直表示信号VDISPにより制御される。クリスタル発振器2およびLC発振器3の出力は選択回路5に入力され、クリスタル発振器2かまたはLC発振器3のいずれかの発振器からの出力が3分周回路6へ入力される。

ディスプレイコントローラは、上記ビデオ同期信号発生回路1の他に外部からのコンポジット同期信号を得、これを分離して外部水平同期信号EXHおよび外部垂直同期信号EXVを得るため

の同則分離回路22を備えている。ビデオ同期信号発生器1で得られる内部同期信号NH、NVおよび同期分離回路7から得られる外部同期信号EXH、EXVのいずれかが同期信号選択回路8により選択され、ビデオ信号の制御に用いられる水平同期信号HSおよび垂直同期信号VSが得られる。

ビデオ信号の水平表示位置と垂直表示位置とを制御するために水平表示位置列メモリカウンタ9、ラスタカウンタ10、メモリ書き込み制御回路11、垂直表示位置行メモリカウンタ11、行符号検出回路13および3分周回路6が第3図に示すような回路構成で用いられ、これらは前述した水平同期信号HSおよび垂直同期信号VSにより同期がとられて制御される。

列メモリカウンタ9および行メモリカウンタ11の出力は、RAM14に入力され、このRAM14の出力と3分周回路6との出力によって制御されたチャクジェネレータROM15からビデオ信号が並列/直列変換器（以下P/S

- 3 -

変換器という。)16を介してビデオ合成回路17に出力される。P/S変換器16はドットクロック信号DOTCKにより、ROM15からのパラレル信号をシリアル信号に変換する。

ビデオ合成回路17はビデオ信号と水平および垂直同期信号HS、VSとを合成し、合成映像出力を得る。

なお、絵や文字を所定のタイミングで点滅させるためのプリンク回路18がビデオ合成回路17に接続されており、垂直同期信号VSの制御により画像の点滅動作を行う。

以上のディスプレイコントローラにおいて本発明は発振器2の構成に関するものである。

〔従来の技術〕

テレビやVTR等の表示用画面に文字を表示する表示装置では、文字表示のためのドットクロック信号が内部で形成されている。このドットクロック信号は内部から入力される水平同期信号に対して同期している必要があり、同期がずれると文

- 4 -

字のドットずれを起こす。このドットずれを防止する方法として通常PLL（フェーズドロックループ）やAPC（オートマチックフリュクエンスコントロール）が用いられている。しかしコスト面を改善するために小規模な表示装置では、第4図に示すように、ドットクロック信号DOTCKをLC発振器3で構成し、水平同期信号HSYNC毎に発振停止し、水平同期信号の立ち上がりでドットクロック信号DOTCKとの位相を合わせるようにしている。

このドットクロック信号DOTCKは分周されてメモリ等の読み出し信号として使用される。メモリの読み出しは垂直表示期間に行なわれ、読み出された情報は水平表示期間中にドットクロック信号DOTCKにより駆動され文字等が表示される。

しかし、通常のディスプレイコントローラにおいては垂直ブランキング期間中にもこのドットクロック信号DOTCKの発振が行なわれているため、省電力化という観点からは不利であった。

特開平 2-207298(4)

第2図に第1図の回路動作を説明するためのタイミングチャートを示す。第2図に示すように、発振停止信号STOPのパルスの立ち上がり点で発振が停止し、ドットクロック信号が停止する。発振停止信号STOPのパルスの立ち下がり点で再び発振を開始する。ドットクロック信号DOTCKの信号レベルも発振停止信号STOPの立ち上がり時点で「L」レベルに落ちる。

このような発振停止信号STOPを用いてドットクロック信号DOTCKの制御を行なった場合、発振停止領域は第3図に示すようになる。すなわち、図中に斜線で示した期間、ドットクロック信号DOTCKが停止する。

もともと、ドットクロック信号DOTCKは、画像の表示期間だけ出力されていればよいわけであるので、第3図に示すような斜線領域において発振が停止してもなんらさしつかえない。

また、メモリの読み出しは前述したように垂直表示期間(VDISP)に行なわれるものであるから、ドットクロック信号DOTCKの停止があ

っても表示が乱れることはない。

〔発明の効果〕

以上説明したように、本発明では垂直ブランキング期間中にドットクロック信号の発生を停止させるため、ディスプレイコントローラにおいて電力消費を減少させることができる。

4. 図面の簡単な説明

第1図は本発明の実施例の回路図、

第2図は第1図の回路動作のタイミングチャート、

第3図は本発明のドットクロック信号の停止期間の説明図、

第4図はオンスクリーンディスプレイコントローラの概略構成を示すブロック図、

第5図は従来のドットクロック信号の停止期間の説明図、

第6図はドットクロック信号と水平同期信号との位相合わせの説明図である。

— 11 —

— 12 —

3…発振回路

20…表示停止回路

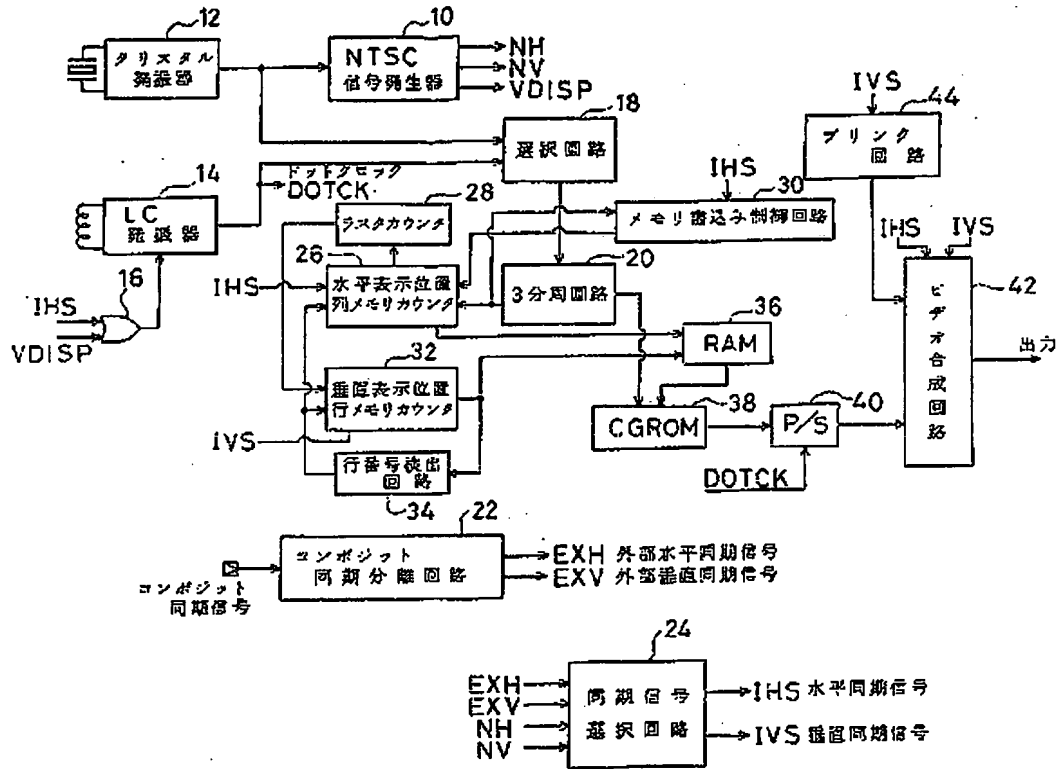
21…NAND回路

STOP…発振停止信号

HSYNC…水平同期信号

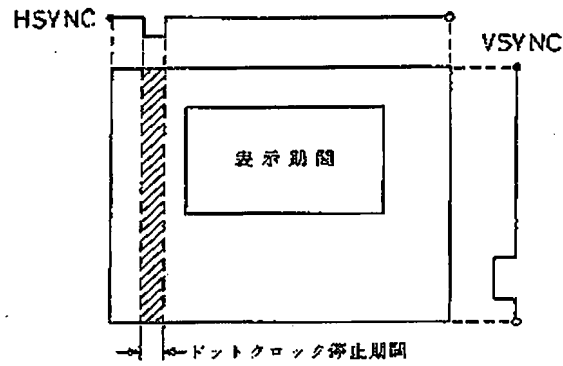
VDISP…垂直表示信号

代理人弁理士 井 桁 貞 一

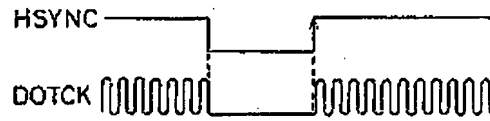


オンスクリーンディスプレイコントローラの概略構成を示すブロック図
第 4 図

特開平 2-207299 (7)



従来のドットクロック信号の停止期間の説明図
第 5 図



ドットクロック信号と水平同期信号との位相合わせの説明図
第 6 図